

JP11352938

Publication Title:

LIQUID CRYSTAL DISPLAY DEVICE, ITS DRIVE METHOD, AND SCANNING LINE DRIVE CIRCUIT

Abstract:

Abstract of JP11352938

PROBLEM TO BE SOLVED: To reduce the frequency of reverse drive to reduce the power consumption required for the reverse drive in a matrix liquid crystal display device and provide a display of high quality never causing flicker, vertical luminance inclination or obstruction in display of a moving image. **SOLUTION:** This driving method comprises dividing a scanning line into a plurality of blocks by a scanning order control circuit 1, performing an interlaced scanning within the blocks and a progressive scanning between the blocks, and supplying a data signal recombined according to the scanning order of scanning signals by a data signal recombination supply circuit 8 to a signal line drive circuit 2. The signal line is driven so that the polarity of the data signal is reversed between the adjacent scanning lines or adjacent picture elements.

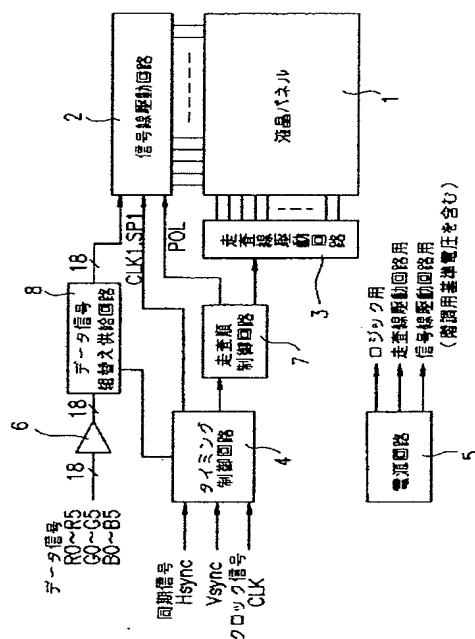
Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(11)特許出願公開番号

(43)公開日 平成11年(1999)12月24日

560



【特許請求の範囲】

【請求項1】 複数の走査線と、該複数の走査線と交差する複数の信号線と、該走査線及び該信号線に接続された複数の画素とを有する液晶表示装置に対して、各画素を構成する一方の電極に与えられる電圧の極性を、それに対向する他方の電極の電圧に対して交互に反転させる液晶表示装置の駆動方法であって、該複数の走査線は、該複数の走査線の一部の連続的に配列された複数の走査線からなる第1ブロックを包含し、該第1ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、該第1ブロックに属する全ての走査線を選択した後に、該第1ブロックに属さない全ての走査線を選択し、該第1ブロックにおいては、一方のグループに属する全ての走査線を選択した後に、他方のグループに属する全ての走査線を選択し、かつ、該第1グループ走査線群に属する走査線の選択期間に、第1極性の信号電圧を該複数の信号線に供給し、該第2グループ走査線群に属する走査線の選択期間に、該第1極性とは異なる第2極性の信号電圧を該複数の信号線に供給する液晶表示装置の駆動方法。

【請求項2】 前記複数の走査線は、該複数の走査線の一部の連続的に配列された複数の走査線からなる第2ブロックを更に包含し、該第2ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、前記第1ブロックに属する全ての走査線を選択した後に、該第2ブロックに属する全ての走査線を選択し、該第1ブロック及び該第2ブロックにおいては、それぞれ一方のグループに属する全ての走査線を選択した後に、他方のグループに属する全ての走査線を選択し、かつ、該第1グループ走査線群に属する走査線の選択期間に、第1極性の信号電圧を該複数の信号線に供給し、該第2グループ走査線群に属する走査線の選択期間に、該第1極性とは異なる第2極性の信号電圧を該複数の信号線に供給する、請求項1に記載の液晶表示装置の駆動方法。

【請求項3】 複数の走査線と、該複数の走査線と交差する複数の信号線と、該複数の走査線と該複数の信号線とに接続された複数のスイッチング素子と、該複数のスイッチング素子にそれぞれ接続された複数の画素電極と、を有し、該複数の走査線の一部の連続的に配列された複数の走査線からなる第1ブロックを包含し、該第1ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、該第1ブロックに属する全ての走査線が選択された後に、該第1ブロックに属さない全ての走査線が選択さ

れ、該第1ブロックにおいては、一方のグループに属する全ての走査線が選択された後に、他方のグループに属する全ての走査線が選択され、かつ、該第1グループ走査線群に属する走査線の選択期間に、第1極性の信号電圧が該複数の信号線に供給され、該第2グループ走査線群に属する走査線の選択期間に、該第1極性とは異なる第2極性の信号電圧が該複数の信号線に供給され、さらに、各画素電極に与えられる電圧の極性が、それに対向する他方の電極の電圧に対して選択期間毎に交互に反転するように各信号線の信号電圧の極性が反転される液晶表示装置。

【請求項4】 前記複数の走査線は、該複数の走査線の一部の連続的に配列された複数の走査線からなる第2ブロックを更に包含し、該第2ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、前記第1ブロックに属する全ての走査線が選択された後に、該第2ブロックに属する全ての走査線が選択され、該第1ブロック及び該第2ブロックにおいては、それぞれ一方のグループに属する全ての走査線が選択された後に、他方のグループに属する全ての走査線が選択され、該第1グループ走査線群に属する走査線が選択されている期間に、第1極性の信号電圧が該複数の信号線に供給され、該第2グループ走査線群に属する走査線が選択されている期間に、該第1極性とは異なる第2極性の信号電圧が該複数の信号線に供給され、さらに、各画素電極に与えられる電圧の極性が、それに対向する他方の電極の電圧に対して選択期間毎に交互に反転するように各信号線の信号電圧の極性が反転される液晶表示装置。

【請求項5】 前記複数の走査線は、前記第2ブロックに隣接する第3ブロックを更に有し、前記第1ブロック、第2ブロック及び第3ブロックが順次走査される請求項4に記載の液晶表示装置。

【請求項6】 前記複数の走査線は、隣接するブロックにおいて前記第1グループ及び第2グループが走査される順序が逆である請求項4又は請求項5に記載の液晶表示装置。

【請求項7】 前記第1グループ走査線群に属する走査線は、前記第2グループ走査線群に属する走査線と隣接して配置されている請求項3から請求項6のいずれかに記載の液晶表示装置。

【請求項8】 前記複数の信号線は、隣接するものにおいて前記第1極性の信号電圧の極性が逆である請求項4から請求項7のいずれかに記載の液晶表示装置。

【請求項9】 前記複数の走査線は、各グループ内で順次走査又は飛び越し走査される請求項3から請求項8のいずれかに記載の液晶表示装置。

【請求項10】 時系列的なデータ信号を受け取って、前記複数の走査線のそれぞれに対応する表示データ列を

生成・記憶し、

該複数の走査線のそれぞれが選択される期間に、それぞれの選択された走査線に対応する信号電圧を前記複数の信号線に供給する請求項3から請求項9のいずれかに記載の液晶表示装置。

【請求項11】 前記第1ブロックに属する全ての走査線が選択された後に前記第2ブロックに属する全ての走査線が選択され、かつ、各ブロックにおいて一方のグループの全ての走査線が選択された後に、他方のグループの全ての走査線が選択されるように走査順を制御するタイミング信号を生成する走査順制御回路と、

前記複数の走査線のそれぞれに対応する表示データ列を時系列的に受け取り、該複数の走査線の走査順に応じて順番を組み替えるデータ信号組替え供給回路と、を備えている請求項4から請求項10のいずれかに記載の液晶表示装置。

【請求項12】 前記他方の電極に対して、前記信号電圧の極性に依拠してシフトさせた電位を供給する対向電極駆動回路を備えている請求項3から請求項11のいずれかに記載の液晶表示装置。

【請求項13】 前記走査順制御回路が、1ブロック当たりの走査線の設定本数を1フレーム毎に切り替え可能とされ、又は1フレーム内で切り替え可能とされている請求項4から請求項12のいずれかに記載の液晶表示装置。

【請求項14】 前記データ信号組替え供給回路が、略2ブロック分のデータ信号を蓄積するメモリを備えている請求項3から請求項13のいずれかに記載の液晶表示装置。

【請求項15】 請求項4から請求項14のいずれかに記載の液晶表示装置に用いられる走査線駆動回路であって、

各々独立して動作する複数系列のシフトレジスタと、該シフトレジスタの各出力に対応し、かつ、該シフトレジスタの各系列に対応するものが交互に配置された出力バッファと、

該シフトレジスタの各系列毎に該シフトレジスタへの出力を選択的に行わせる出力選択回路と、を備えている走査線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ノートブック型パーソナルコンピュータやポータブルTV（テレビジョン）、携帯型情報端末等のディスプレイ装置として利用される液晶表示装置等の液晶表示装置及びその駆動方法、並びにその液晶表示装置に好適に用いられる走査線駆動回路に関する。

【0002】

【従来の技術】液晶表示装置は自らは発光しない非発光型のディスプレイ装置であり、その光源として専用のバ

ックライトを用いる透過型のものと周囲光を利用する反射型のものとに大別される。

【0003】一方の透過型においてはフルカラー表示が既に達成されており、軽量・薄型・低消費電力動作等の利点を活かしてノートブック型パーソナルコンピュータやポータブルTV等に幅広く応用されている。他方の反射型においてはバックライトが不要であることから透過型に比べて軽量・薄型・低消費電力動作等の点で一段と優れており、携帯型情報端末を始めとして携帯性が重視される機器に不可欠な液晶表示装置としてその応用が期待されている。

【0004】図21に従来の液晶表示装置の構成を示す。

【0005】この液晶表示装置は表示用画素を選択するためのスイッチング素子として薄膜トランジスタ（TFT：Thin Film Transister）を用いたアクティブマトリクス型のものである。尚、ここでは反射型の構成を示しているが、透過型の構成の場合にはバックライト及びバックライト用電源がさらに付加される。

【0006】この液晶表示装置は、液晶パネル181と各画素に電位を与えるための信号線駆動回路182及び走査線駆動回路183を備えている。信号線駆動回路182はタイミング制御回路184及び出力バッファ回路186に接続され、走査線駆動回路183はタイミング制御回路184に接続されている。さらに、論理回路（ロジック）用、走査線駆動回路用及び信号線駆動回路用の電源回路185が設けられている。

【0007】この液晶パネル181には外部からデータ信号DATA、同期信号SYNC、クロック信号CLK等が入力され、毎秒60枚～100枚程度の周期で画像が書き込まれる。

【0008】データ信号DATAとしてはデジタル信号とアナログ信号とがあり、前者はノートブック型パーソナルコンピュータ等のコンピュータ機器に使用され、後者はポータブルTV等の映像機器に使用されるのが一般的である。デジタル信号の場合には表示色数やインターフェース形式によって信号線数が変わる。

【0009】クロック信号CLKは画素単位の転送タイミングを示す高速のクロック信号である。そして、データ信号がアナログ信号の場合にはクロック信号は同期信号を基にして液晶表示装置の内部で生成されるのが一般的である。

【0010】タイミング制御回路184においては、入力された同期信号及びクロック信号に基づいて各回路部に必要なタイミング信号が生成される。

【0011】電源回路185においては各回路部に必要な電源が生成される。さらに、駆動方式によっては液晶の階調表示に必要な基準電圧が生成される。

【0012】上記液晶パネル181は、基本的に、ガラス等からなる2枚の基板で液晶層を挟み込んだ構造を有

しており、一方の基板上には画素アレイが形成されている。この画素アレイは、信号線駆動回路182及び走査線駆動回路183により駆動される。

【0013】液晶パネル181の表示は、各画素への電圧印加により液晶分子の配向状態を変化させ、入射光に対して旋光、干渉、散乱、吸収等の光学的変調を加えることによって行われる。一般には、ガラス基板の両側に偏光軸を直交させた一対の偏光板を貼り合わせ、ネマティック液晶を一対の基板間で90° 捩れて配列させたTN (Twisted Nematic) モードが広く用いられている。

【0014】図22は、上記液晶表示装置における画素アレイ部と信号線駆動回路及び走査線駆動回路をより詳しく表した図である。

【0015】この液晶パネル181は多数の走査線（走査信号線又はゲートライン）SL1～SLm及び多数の信号線（データ信号線又はソースライン）DL1～DLnが互いに交差するように設けられ、隣接する2本の走査線と隣接する2本の信号線とで区切られた領域に画素（画素電極）がマトリクス状に設けられている。

【0016】信号線駆動回路182には表示用信号DATA、クロック信号CLOCK1、スタート信号START1が入力され、走査線駆動回路183にはクロック信号CLOCK2、スタート信号START2が入力されて画素アレイを駆動するようになっている。

【0017】図23に各画素の構成を示す。

【0018】各画素にはスイッチング素子としての薄膜トランジスタSWと、液晶容量CL及び補助容量CSが設けられている。ここで、補助容量CSは液晶誘電率の異方性、画素TFTのリーク電流、画素TFTのゲート・ソース間の寄生容量等に起因する画素電位の変動等の影響を抑制するために設けられている。この補助容量CSの一方の電極（画素電極）及び液晶容量CLの一方の電極は、画素TFT（SW）を介して信号線DLjに接続され、画素TFT（SW）のゲートは走査線SLiに接続されている。液晶容量CLの一方の電極に対向する他方の電極（対向共通電極）は液晶層を挟む他方の基板に形成され、補助容量CSの他方の電極は全画素に共通の共通電極線又は隣接する走査線に接続されている。さらに、信号線DLjは上述の信号線駆動回路182に接続され、走査線SLiは走査線駆動回路183に接続されている。

【0019】上記走査線駆動回路183は、走査線を順次走査して各走査線に接続されている画素TFTのゲートに20V～30V程度の電圧を必要期間だけ印加する機能を有している。

【0020】図24に走査線駆動回路183の一般的な構成を示す。

【0021】この走査線駆動回路183は、順次走査を行うためにスタート信号SPG及びクロック信号CLG等が入力されるシフトレジスタ211、ロジックレベル

から走査線を駆動するのに必要な電圧に変換するためのレベルシフタ212、走査線を駆動するための出力バッファ213等からなる。この図24では、走査線駆動回路183からの出力を有効にするためのタイミング信号GONを外部から入力しているが、例えばクロック信号CLGのロー期間を用いて走査線駆動回路183の内部で生成することもできる。

【0022】図25はこの走査線駆動回路183に関するタイミングの一例である。

【0023】この図25に示すように、タイミング制御回路からのスタート信号SPG及びクロック信号CLGに基づいて、走査線SL1、SL2、…が順次走査される。

【0024】一方、上記信号線駆動回路182は、入力されるデータ信号によってアナログドライバとデジタルドライバとに大別され、種々の方式のものが用いられている。いずれの場合にも、信号線駆動回路の働きは入力されたデータ信号を1水平期間にわたって順次サンプリング・保持し、さらに、データ信号がデジタル信号の場合にはD/A変換を行い、必要なタイミングで信号線にアナログ信号として出力する。そして、上記走査線駆動回路183により走査線がアクティブ状態になると画素TFTが導通状態になって、信号線に出力された信号が画素に書き込まれる。画素に書き込まれた電荷は1フレーム期間保持されて表示状態が維持される。

【0025】図26に、6ビットのデジタルドライバの回路構成例を示す。

【0026】この信号線駆動回路182は、順次サンプリングを行うためにスタート信号SP1及びクロック信号CLK1等が入力されるシフトレジスタ231、データ信号DA0～DA5等を保持するためのデータレジスタ232及びラッチ233、デジタル信号をアナログ信号に変換するためのD/Aコンバータ234及び基準電圧発生回路236、信号線にD/Aコンバータの出力を書き込むための出力バッファ235等からなる。

【0027】ところで、液晶層に直流電圧を印加すると電気化学反応によって素子が劣化するので、長寿命で駆動を行うためには印加電圧の極性を周期的に反転させる交流駆動（以下、反転駆動と称する）を行う必要がある。

【0028】しかし、アクティブマトリクス型液晶表示装置において1フレーム毎に反転駆動するフレーム反転駆動方式を採用した場合、液晶誘電率の異方性、画素TFTのゲート・ソース間の寄生容量に起因する画素電位の変動、対向電極信号のセンター値のずれ等の種々の要因によって、液晶に印加される正負電圧に多少のアンバランスが生じることは避けられない。その結果、フレーム周波数の半分の周波数での微小な輝度変動を生じ、チラツキ（フリッカ）として視認されてしまう。これを防ぐために、1フレーム毎の反転に加えて隣接ライン間、

又は隣接画素間で画素信号を逆極性にする反転駆動方式が一般に採用されている。

【0029】図27はフレーム反転駆動方式、図28はゲートライン（走査線）反転駆動方式、図29はドット反転駆動方式における液晶パネル上の各画素信号の極性を示す。尚、図27～図29においては、説明を簡単にするために8×6画素で構成されたモノクロ表示のマトリクス型液晶パネルの例について示している。

【0030】図27のフレーム反転駆動方式ではフレーム単位（左の図と右の図）で極性が反転され、図28のゲートライン反転駆動方式では隣接する走査線単位で逆極性のデータ信号（信号電圧）が印加されると共にフレーム単位で極性が反転され、図29のドット反転駆動方式では隣接する画素単位で逆極性のデータ信号が印加されると共にフレーム単位で極性が反転される。

【0031】図28及び図29のようにライン単位又は画素単位で逆極性の画素信号を与えることにより、図27のようなフレーム反転駆動方式に比べてチラツキの目立たない良好な表示画質が得られる。

【0032】ここで、ゲートライン反転駆動方式の場合には、データ信号の印加タイミングと同期して対向電極電位をシフトさせることにより、信号線駆動回路の出力電圧範囲を狭くすることができる。これは、対向電極電位をシフトさせることにより信号線駆動回路から出力されるデータ信号の振幅を小さくしても液晶層に印加される実効電圧を同等にすることができるからである。これにより、低耐圧のドライバLSIが使用できるので、ゲートライン反転駆動方式は幅広く採用されている。一方、ドット反転駆動方式については、原理的にクロストークが生じにくい駆動方式であるため、大型で高精細の液晶表示装置において採用が進んでいる。

【0033】

【発明が解決しようとする課題】しかしながら、上述のゲートライン反転駆動方式やドット反転駆動方式の場合には、極性反転の周波数が液晶パネルの走査線数に比例して高くなるため、反転駆動に要する消費電力が大幅に増大してしまうという問題がある。

【0034】特に、反射型液晶表示装置の場合には、反転駆動に要する消費電力が全消費電力に占める比率が高いため、低消費電力であるという反射型液晶表示装置の特徴をさらに伸ばして一層の低消費電力化を図るためには、この反転駆動に要する消費電力を低減することが大きな課題である。

【0035】そこで、この問題を解決するために、例えば特開平8-320674号公報には、液晶表示装置の全画面にわたって飛び越し走査を行い、奇数ラインの飛び越し走査から偶数ラインの飛び越し走査に移行するときにデータ信号の極性を反転させることにより極性反転の周波数を低減して低消費電力化を図ることが提案されている。しかし、例えば、全画面を飛び越し走査して、

行反転駆動（ゲートライン反転）の様な極性配置を得る場合、以下のようなチラツキの問題が生じる。この場合、まず、図30（a）に示すように、行反転の状態から、奇数行の走査線が飛び越し走査されて奇数行の画素のみに負の電位が与えられ、図30（b）に示すように全画面の画素極性が負の状態に移行する。次に、偶数行の走査線のみが飛び越し走査されて偶数行の画素のみに正の電位が与えられ、図30（c）に示すように行反転の状態に移行する。続いて、奇数行の走査線が飛び越し走査されて奇数行の画素のみに正の電位が与えられ、図30（d）に示すように全画面の画素極性が正の状態に移行する。その後、偶数行の走査線のみが飛び越し走査されて偶数行の画素のみに負の電位が与えられ、図30（a）に示した行反転の状態に戻る。

【0036】ここで、図30（b）及び図30（d）の状態では隣接する行間での補償が行われず、チラツキが生じることになる。さらに、チラツキの無い図30（a）及び図30（c）の状態から走査が進むにつれて徐々にチラツキがある図30（b）及び図30（d）の状態に移行していくため、単純なフレーム反転駆動の場合よりもむしろ大きなチラツキが観測されることが多い。

【0037】しかし、このような全画面にわたる飛び越し走査方法では、動画表示において、チラツキのみならず、画面上を縞模様が流れる等の不具合（以下「縞流れ」と呼ぶ）が起こることが多い。全画面に亘る飛び越し走査を行った時に生じるチラツキを解消する方法として、例えば特開平8-320674号公報では、隣接した列で極性を異ならせ結果としてドット反転駆動と同様の極性配置を得る方法が提案されている。この方法では、確かにチラツキは解消されるものの、前後のフレームの画像が奇数行、偶数行それぞれ同時に表示されることとなるので、動きの大きな動画像の場合、横方向に楕円の輪郭が表示される等の著しい画質劣化を生じるという問題が生じる。また、縞流れは、列毎の極性反転を加えない場合（すなわち同一行の画素は全て同一極性とする場合）に比してかなり改良されるものの、依然として観察可能な程度に発生することがある。

【0038】本発明はこのような従来技術の課題を解決すべくなされたものであり、極性反転の周波数低減による低消費電力駆動とともに、チラツキ無しでしかも垂直方向の輝度傾斜や動画表示時の妨害が生じない高画質の表示とを両立させることができる液晶表示装置及びその駆動方法、並びにそれに好適に用いられる走査線駆動回路を提供することを目的とする。

【0039】

【課題を解決するための手段】本発明の液晶表示装置の駆動方法は、複数の走査線と、該複数の走査線と交差する複数の信号線と、該走査線及び該信号線に接続された複数の画素とを有する液晶表示装置に対して、各画素を

構成する一方の電極に与えられる電圧の極性を、それに対向する他方の電極の電圧に対して交互に反転させる液晶表示装置の駆動方法であって、該複数の走査線は、該複数の走査線の一部の連続的に配列された複数の走査線からなる第1ブロックを包含し、該第1ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、該第1ブロックに属する全ての走査線を選択した後に、該第1ブロックに属さない全ての走査線を選択し、該第1ブロックにおいては、一方のグループに属する全ての走査線を選択した後に、他方のグループに属する全ての走査線を選択し、かつ、該第1グループ走査線群に属する走査線の選択期間に、第1極性の信号電圧を該複数の信号線に供給し、該第2グループ走査線群に属する走査線の選択期間に、該第1極性とは異なる第2極性の信号電圧を該複数の信号線に供給し、そのことによって上記目的が達成される。

【0040】前記複数の走査線は、該複数の走査線の一部の連続的に配列された複数の走査線からなる第2ブロックを更に包含し、該第2ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、前記第1ブロックに属する全ての走査線を選択した後に、該第2ブロックに属する全ての走査線を選択し、該第1ブロック及び該第2ブロックにおいては、それぞれ一方のグループに属する全ての走査線を選択した後に、他方のグループに属する全ての走査線を選択し、かつ、該第1グループ走査線群に属する走査線の選択期間に、第1極性の信号電圧を該複数の信号線に供給し、該第2グループ走査線群に属する走査線の選択期間に、該第1極性とは異なる第2極性の信号電圧を該複数の信号線に供給してもよい。

【0041】本発明の液晶表示装置は、複数の走査線と、該複数の走査線と交差する複数の信号線と、該複数の走査線と該複数の信号線とに接続された複数のスイッチング素子と、該複数のスイッチング素子にそれぞれ接続された複数の画素電極と、を有し、該複数の走査線の一部の連続的に配列された複数の走査線からなる第1ブロックを包含し、該第1ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、該第1ブロックに属する全ての走査線が選択された後に、該第1ブロックに属さない全ての走査線が選択され、該第1ブロックにおいては、一方のグループに属する全ての走査線が選択された後に、他方のグループに属する全ての走査線が選択され、かつ、該第1グループ走査線群に属する走査線の選択期間に、第1極性の信号電圧が該複数の信号線に供給され、該第2グループ走査線群に属する走査線の選択期間に、該第1極性とは異なる第2極性の信号電圧が該複数の信号線に供給され、さらに、各画素電極に与えられる電圧の極性が、それに対向する他方の電極の電圧に対して選択期間毎に交互に反転するように各信号線の信号電圧の極性が反転され、そのことによって上記

目的が達成される。

【0042】前記複数の走査線は、該複数の走査線の一部の連続的に配列された複数の走査線からなる第2ブロックを更に包含し、該第2ブロックは、第1グループ走査線群と第2グループ走査線群とを包含し、前記第1ブロックに属する全ての走査線が選択された後に、該第2ブロックに属する全ての走査線が選択され、該第1ブロック及び該第2ブロックにおいては、それぞれ一方のグループに属する全ての走査線が選択された後に、他方のグループに属する全ての走査線が選択され、該第1グループ走査線群に属する走査線が選択されている期間に、第1極性の信号電圧が該複数の信号線に供給され、該第2グループ走査線群に属する走査線が選択されている期間に、該第1極性とは異なる第2極性の信号電圧が該複数の信号線に供給され、さらに、各画素電極に与えられる電圧の極性が、それに対向する他方の電極の電圧に対して選択期間毎に交互に反転するように各信号線の信号電圧の極性が反転されてもよい。

【0043】前記複数の走査線は、前記第2ブロックに隣接する第3ブロックを更に有し、前記第1ブロック、第2ブロック及び第3ブロックが順次走査されてもよい。

【0044】前記複数の走査線は、隣接するブロックにおいて前記第1グループ及び第2グループが走査される順序が逆であってもよい。

【0045】前記第1グループ走査線群に属する走査線は、前記第2グループ走査線群に属する走査線と隣接して配置されているのが好ましい。

【0046】前記複数の信号線は、隣接するものにおいて前記第1極性の信号電圧の極性が逆であってもよい。

【0047】前記複数の走査線は、各グループ内で順次走査又は飛び越し走査されてもよい。

【0048】本発明の液晶表示装置は、時系列的なデータ信号を受け取って、前記複数の走査線のそれぞれに対応する表示データ列を生成・記憶し、該複数の走査線のそれぞれが選択される期間に、それぞれの選択された走査線に対応する信号電圧を前記複数の信号線に供給する構成とすることができる。

【0049】本発明の液晶表示装置は、前記第1ブロックに属する全ての走査線が選択された後に前記第2ブロックに属する全ての走査線が選択され、かつ、各ブロックにおいて一方のグループの全ての走査線が選択された後に、他方のグループの全ての走査線が選択されるように走査順を制御するタイミング信号を生成する走査順制御回路と、前記複数の走査線のそれぞれに対応する表示データ列を時系列的に受け取り、該複数の走査線の走査順に応じて順番を組み替えるデータ信号組替え供給回路とを備えている構成とすることができる。

【0050】前記他方の電極に対して、前記信号電圧の極性に応じてシフトさせた電位を供給する対向電極駆動

回路を備えているのが好ましい。

【0051】前記走査順制御回路が、1ブロック当たりの走査線の設定本数を1フレーム毎に切り替え可能とされ、又は1フレーム内で切り替え可能とされているのが好ましい。

【0052】前記データ信号組替え供給回路が、略2ブロック分のデータ信号を蓄積するメモリを備えていてもよい。

【0053】本発明の走査線駆動回路は本発明の液晶表示装置に用いられる走査線駆動回路であって、各々独立して動作する複数系列のシフトレジスタと、該シフトレジスタの各出力に対応し、かつ、該シフトレジスタの各系列に対応するものが交互に配置された出力バッファと、該シフトレジスタの各系列毎に該シフトレジスタへの出力を選択的に行わせる出力選択回路とを備え、そのことにより上記目的が達成される。

【0054】以下、本発明の作用について説明する。

【0055】本発明にあっては、第1グループ走査線群と第2グループ走査線群の各選択期間中に異なる極性の信号電圧が与えられるので、フレーム反転駆動方式に比べてチラツキが目立たない表示が得られる。第1グループ走査線群及び第2グループ走査線群は、それぞれ一方のグループに属する全ての走査線が選択された後に、他方のグループに属する全ての走査線が選択されるので、極性反転は片方のグループの選択期間からもう片方のグループの選択期間に代わるときのみとなり、反転駆動の周波数が低減される。さらに、第1及び第2グループ走査線群をそれぞれ包含する第1ブロックに属する全ての走査線が選択された後に、第2ブロックに属する全ての走査線が選択され、極性の反転がブロック内で完結するので、画素TFTのソース・ドレイン間のリークや寄生容量の影響による垂直方向の輝度傾斜が生じにくい。第1グループ走査線群と第2グループ走査線群とが同一極性になるタイミングがあっても1つのブロック内で起こるのみであり、しかも、1つのブロックの選択期間の終了時点で第1グループ走査線群と第2グループ走査線群とが逆極性に戻るため、これがチラツキとして観測されることはない。

【0056】上記第2ブロックに隣接する第3ブロック（さらに、第4ブロック、……）を設けることによりブロックサイズを適切にして反転駆動周波数を低減することができる。さらに、各ブロックを順次走査することにより、動画表示において前後のフレームの画像による表示妨害を目立たなくすることができる。又は、各ブロックの走査を飛び越し走査としてもよい。

【0057】隣接するブロックにおいて、第1グループ及び第2グループが走査される順序を逆にしてもよい。これにより、各ブロックを順次走査する場合、前のブロックの第2グループの信号電圧と後のブロックの第1グループの信号電圧とが同じ極性になるため、後述する実

施形態8の図17及び実施形態9の図18に示すように、反転駆動周波数がさらに低減される。

【0058】上記第1グループ走査線群に属する走査線を、第2グループ走査線群に属する走査線と隣接して配置すると、各グループ内で順次走査することによりブロック内で1本おきの飛び越し走査を行うことができる。或いは、各グループ内で1本おき、2本おき、……と飛び越し走査することによりブロック内で3本おき、5本おき、……の奇数本おきの飛び越し走査を行うことができる。これにより、1垂直期間毎に逆極性で、かつ、隣接する走査線間で逆極性のデータ信号（信号電圧）が供給されることになる。従って、後述する実施形態1において図7及び図8に示すように、液晶パネル上の画素信号の極性が1フレーム期間で見ればゲートライン反転駆動の場合と同様の配置となり、チラツキが目立たない表示が得られる。さらに、全走査線の本数をM本（偶数）、1ブロック当たりの走査線の本数をN本（偶数）とすれば、従来のゲートライン反転駆動方式における1フレーム当たりの極性反転回数が $M/2$ 回であるのに対して、本発明の場合には後述する実施形態1に示すように M/N 回となる。従って、反転駆動に伴う消費電力の増大を従来のゲートライン反転駆動方式の場合の $2/N$ に削減することができる。或いは、Nが奇数の場合には反転駆動周波数が従来のゲートライン反転駆動方式の場合の $1/N$ に低減され、反転駆動に伴う消費電力の増大も従来の $1/N$ に削減することができる。これまで、全走査線を複数のブロックに分割する構成について説明したが、1つのブロックを有しさえすれば、少なくともブロック内については、極性反転の周波数低減による低消費電力駆動とともに、チラツキ無しでしかも垂直方向の輝度傾斜や動画表示時の妨害が生じない高画質の表示とを両立させることができる。

【0059】さらに、上記複数の信号線に与えるデータ信号（信号電圧）を、隣接するもの同士で第1極性（及び第2極性）を逆にすると、1垂直期間毎に逆極性で、かつ、隣接する画素間で逆極性のデータ信号（信号電圧）が供給されることになる。従って、後述する実施形態3において図11及び図12に示すように、液晶パネル上の画素信号の極性が1フレーム期間で見ればドット反転駆動の場合と同様の配置となり、クロストークが少なく、しかもチラツキが目立たない表示が得られる。さらに、全走査線の本数をM本（偶数）、1ブロック当たりの走査線の本数をN本（偶数）とすれば、従来のドット反転駆動方式における1フレーム当たりの極性反転回数が $M/2$ 回であるのに対して、本発明の場合には後述する実施形態1に示すように M/N 回となる。従って、反転駆動に伴う消費電力の増大を従来のドット反転駆動方式の場合の $2/N$ に削減することができる。或いは、Nが奇数の場合には反転駆動周波数が従来のドット反転駆動方式の場合の $1/N$ に低減され、反転駆動に伴う消

費電力の増大も従来の1/Nに削減することができる。

【0060】上記複数の走査線は、各グループ内で順次走査してもよいが、飛び越し走査しても同様の効果が得られる。

【0061】本発明にあっては、上述のような反転駆動に応じた信号電圧を供給するために、時系列的なデータ信号を受け取って、前記複数の走査線のそれぞれに対応する表示データ列を生成・記憶し、複数の走査線のそれぞれが選択される期間に、それぞれの選択された走査線に対応する信号電圧を複数の信号線に供給する。

【0062】このような走査線の選択順に応じた信号電圧を供給するために、複数の走査線のそれぞれに対応する表示データ列を時系列的に受け取り、走査線の走査順に応じて順番を組み替えるデータ信号組替え供給回路を設けることができる。そして、走査順を制御するためには、これを実現するためのタイミング信号を生成する走査順制御回路を設けることができる。

【0063】さらに、対向電極駆動回路により、対向電極の電位をデータ信号の反転に同期してシフトさせることができる。これにより、データ信号の振幅を小さくしても液晶パネルに印加される実効電圧を同等にすることができるので、信号線駆動回路の出力電圧範囲を狭くすることができるため、耐圧の低い駆動回路でも使用可能である。

【0064】上記走査順制御回路において1ブロック当たりの走査線の本数を1フレーム毎に切り替え可能とすることにより、静止画表示の場合にはブロックサイズを大きくして反転駆動に伴う消費電力を大幅に削減すると共に、動画表示の場合にはブロックサイズを小さくし、又は従来と同様の順次走査を行うことにより動画表示品質を確保することができる。従って、画像表示内容に応じて消費電力の低減と高画質の維持とをバランス良く制御することができる。

【0065】或いは、走査順制御回路において1ブロック当たりの走査線の本数を1フレーム内で切り替え可能とすることにより、例えば動画がウィンドウ表示されているような場合、静止画表示の部分ではブロックサイズを大きくして反転駆動に伴う消費電力を大幅に削減すると共に、動画表示の部分ではブロックサイズを小さくし、又は従来と同様の順次走査を行うことにより動画表示品質を確保することができる。従って、画面内の表示内容に応じて消費電力の低減と高画質の維持とをより本目細かく制御することができる。

【0066】さらに、上記データ信号組替え供給回路に略2ブロック分のデータ信号を蓄積するメモリを備えることにより、各ブロック内において第1グループ走査線群及び第2グループ走査線群の一方に対応したデータ信号を読み出した後で他方に対応したデータ信号を読み出すことができる。従って、フレームメモリやグラフィックメモリを備えていないシステムにおいても、TV信号

やCCDカメラ出力信号のような時系列の画像信号に対して、各ブロック内で第1走査線群及び第2走査線群の走査を行うことができる。

【0067】本発明の走査線駆動回路にあっては、各々独立して動作する複数系列のシフトレジスタを備えており、シフトレジスタの各出力に対応する出力バッファがシフトレジスタの各系列に対応して交互に配置されている。さらに、シフトレジスタの各系列毎に出力バッファへの出力を選択的に行わせる出力選択回路を備えている。従って、各系列のシフトレジスタを逐次動作させることにより各ブロック内で第1グループ走査線群及び第2グループ走査線群を逐次選択し、これを各ブロックで繰り返すことにより、各ブロック内での走査及びブロック間での走査が可能となる。また、この走査線駆動回路は、従来の走査線駆動回路とはほぼ同等の回路規模で実現可能である。

【0068】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照しながら説明する。

【0069】(実施形態1)図1は本実施形態のマトリクス型液晶表示装置の構成を示す概略図である。

【0070】この液晶表示装置は表示用画素を選択するためのスイッチング素子としてTFTを用いた液晶パネル1、信号線駆動回路2、走査線駆動回路3、タイミング制御回路4、電源回路5、データ信号用バッファ6、走査順制御回路7、データ信号組替え供給回路8等を備え、外部からデータ信号、同期信号、クロック信号等の表示に関わる信号が入力されるようになっている。この外部から入力される信号については、従来の液晶表示装置と同様とすることができる。

【0071】この液晶表示装置において、図21に示した従来の液晶表示装置と比較した場合の大きな相違点は、以下の通りである。

【0072】(1)ブロック内では第1及び第2グループ走査線群の一方のグループに属する全走査線を選択した後で、他方のグループに属する全走査線を選択して飛び越し走査を行い、かつ、ブロック間では第1ブロックに属する全走査線を選択した後で次のブロックに属する走査線を選択するように走査順を制御する走査順制御回路7を備えていること、(2)時系列的なデータ信号を受け取って走査順に対応した順番に組替えて信号線駆動回路に供給するデータ信号組替え供給回路8を備えていること、(3)走査線駆動回路が、ブロック内で第1グループ及び第2グループの走査を行い、かつ、ブロック間ではブロック内の全走査を行った後で次のブロックの走査を行う走査法に適した回路構成となっていること。

【0073】以上の構成により、ブロック内での飛び越し走査及びブロック間での走査を行うことができる。従って、第1グループ及び第2グループでデータ信号の極性を逆にすることで表示状態を良好にすると共に、液晶

の反転駆動周波数を1ブロック当たりの走査線数に応じて低減することができる。

【0074】例えば、第1グループ走査線群に属する走査線と第2グループ走査線群に属する走査線とを隣接して交互に配置すると、1垂直期間毎に逆極性で、かつ、隣接する走査線間で逆極性のデータ信号（信号電圧）が供給されることになるので、ゲートライン反転駆動方式と同様の画素極性状態を得ることができる。

【0075】さらに、隣接する信号線で第1グループ走査線群の選択期間中に与えるデータ信号（第1極性）と第2グループ走査線群の選択期間中に与えるデータ信号（第2極性）とを逆にすると、ドット反転駆動方式と同様の画素極性状態を得ることができる。

【0076】ここで、全走査線の本数をM本、1ブロック当たりの走査線の本数をN本とすれば、従来のゲートライン反転駆動方式やドット反転駆動方式における1フレーム当たりの極性反転回数が $M/2$ 回であるのに対して、本実施形態による場合には M/N 回となるので、反転駆動に伴う消費電力を従来のゲートライン反転駆動方式の場合の $2/N$ に削減することができる。尚、ここでは説明を簡単にするためにM、Nを偶数としているが、Nが奇数の場合には反転駆動周波数が従来の $1/N$ に低減され、反転駆動に伴う消費電力の増大も従来の $1/N$ に削減することができる。

【0077】以下に、この液晶表示装置の構成について、さらに詳しく説明する。

【0078】この液晶表示装置において、外部から入力されるデータ信号は、例えば18ビットのデジタル信号であり、RGBの各色が6ビットで構成される。この場合、信号線駆動回路2としては6ビットのデジタルドライバLSIが用いられ、液晶パネル1には各色64階調の表示が行われる。

【0079】入力された18ビットのデータ信号（R0～R5、G0～G5、B0～B5）は、データ信号用バッファ6を介してデータ信号組替え供給回路8に送られる。

【0080】データ信号組替え供給回路8に入力された18ビットの表示データは、データ信号組替え供給回路8の内部メモリに一旦蓄えられた後、走査順序に対応して1水平期間単位で順番を組替えられ、信号線駆動回路2に供給される。

【0081】液晶パネル1の基本構成は、図22及び図23に示した従来の液晶表示装置と同様な構成であり、例えば640×480画素構成（各画素はRGBの3ドット構成）の10.4型VGA（Video Graphics Array）とすることができる。

【0082】信号線駆動回路2は、例えば6ビットのデジタルドライバLSIであり、図26に示したような従来の液晶表示装置と同様なものを用いることができる。具体的には、シャープ株式会社製LH1689Fや日本

電気株式会社製μPD16622等のドライバLSIを使用することができる。

【0083】ゲート信号駆動回路3は、ブロック内での飛び越し走査と共にブロック間での走査とが可能のように構成される。

【0084】一般に、従来のゲートドライバLSIの内部回路は、図24に示したような1系列のシフトレジスタで構成されているので、これを用いてブロック内での飛び越し走査及びブロック間の走査を行うことが困難である。そこで、本実施形態においては図2に示すような走査線駆動回路3により、ブロック内での1本おきの飛び越し走査とブロック間での順次走査とを可能にしている。

【0085】この走査線駆動回路3は、2系列のシフトレジスタ21と22、出力選択用論理回路23、レベルシフタ24及び出力バッファ25等から構成されている。シフトレジスタ21、22には走査順制御回路7からのクロック信号CLG1、CLG2とスタート信号SPG1、SPG2とが各々独立して入力され、各シフトレジスタ21、22の出力は出力選択用論理回路33を介して交互にレベルシフタ24及び出力バッファ25に接続されている。出力選択用論理回路23では、外部（ここでは走査順制御回路7）から入力される選択信号SELによってシフトレジスタ21及びシフトレジスタ22のうちの一方の出力が選択され、タイミング信号GONによりレベルシフタ24に伝えられる。

【0086】このような回路構成によれば、入力信号CLG1、CLG2、SPG1、SPG2、SEL及びGONを適宜設定することにより、ブロック内の飛び越し走査とブロック間の走査とを実現することができる。例えば、ブロック内では第1グループ走査線群に属する全走査信号a（SL1、SL3）が選択された後で第2グループ走査線群に属する全走査線b（SL2、SL4）が選択されて1本おきの飛び越し走査が行われ、ブロック間ではブロック内の全走査線（SL1～SL4）が選択されてから次のブロック内の全走査線（SL5～SL8）が選択される。

【0087】図3に、走査線駆動回路3に関するタイミングの一例を示す。ここでは、1ブロック当たりの走査線数が4本で、ブロック内を1本おきの飛び越し走査、ブロック間を順次走査する場合のタイミング例を示している。

【0088】この図3に示すように、スタート信号SPG1、SPG2及びクロック信号CLG1、CLG2に基づいてシフトレジスタ21、22から信号A1、A2、…、B1、B2、…が生成され、これらの信号と選択信号SEL及びタイミング信号GONに基づいて走査線SL1、SL2、…がブロック内では1本おきに飛び越し走査され、かつ、各ブロックが順次走査される。

【0089】タイミング制御回路4では、従来の液晶表示装置と同様に、入力された同期信号Hsync、Vsync及びクロック信号CLKに基づいて各回路部に必要なタイミング信号が生成される。

【0090】電源回路部5では、各回路部に必要な電圧や液晶表示のための階調用基準電圧等が生成される。

【0091】データ信号用バッファ6は通常のバッファ回路であり、ここでは外部から入力されたデジタル信号の波形整形が行われる。

【0092】走査順制御回路7は本発明における特徴的な回路であり、上述したブロック内での飛び越し走査及びブロック間での走査を行うためのタイミング信号を生成するものである。

【0093】この走査順制御回路7で生成される信号としては、反転駆動のためのタイミング信号及び走査順制御のためのタイミング信号が挙げられ、各々信号線駆動回路2及び走査線駆動回路3に供給される。

【0094】図4に、走査順制御回路7の基本的な回路構成の一例を示す。

【0095】この走査順制御回路7は、時間的な遅れの調整を行うためのシフトレジスタ41、走査線の本数をブロックサイズに達するまでカウントするカウンタ42、ディレイ回路43及びDF、F等から構成される。

【0096】この図4の走査順制御回路7では入力されたタイミング信号SPG、CLG及び垂直同期信号Vsyncから反転駆動のための制御信号POL及び走査順制御のためのタイミング信号CLG1、CLG2、SPG1、SPG2、SEL、GONが生成される。生成された制御信号POLは信号線駆動回路2に送られ、タイミング信号CLG1、CLG2、SPG1、SPG2、SEL、GONは走査線駆動回路3に送られる。

【0097】図5に、走査順制御回路7に関するタイミングの一例を示す。ここでは、1ブロック当たりの走査線数が4本で、ブロック内を1本おきの飛び越し走査、ブロック間を順次走査する場合のタイミング例を示している。

【0098】この図5に示すように、タイミング制御回路4からのクロック信号CLG及びスタート信号SPGに基づいてブロックサイズNの半分の周期で1回のパルスが発生する信号N/2及びディレイ回路からの信号DCLGが生成されると共にタイミング信号CLG1、CLG2、SPG1、SPG2、SEL、GON、POLが生成され、これらの信号に基づいて走査線SL1、SL2、…がブロック内での1本おきの飛び越し走査、かつ、ブロック間での順次走査により走査される。ここで、反転駆動制御信号POLの周波数は従来の液晶表示装置の半分となっている。

【0099】データ信号組替え回路8は本発明における特徴的な回路であり、ブロック内での飛び越し走査及びブロック間での順次走査に対応してデータ信号の順序を

組替えるものである。

【0100】時系列で送られてくるデータ信号の順序を組替えるためには、データ信号を一旦蓄えておくメモリが必要となる。通常は2ブロック分のメモリ容量が必要であり、1ブロック分は書き込み用として、残りの1ブロック分は読み出し用として交互に用いられる。ここで、1ブロック当たりの最大の走査線数をp本、1走査線当たりの画素数をq、1画素当たりのビット数をrビットとすると、通常、2pqrビットのメモリ容量が必要となる。例えば、本実施形態の場合には、1ブロック当たりの最大走査線数をNとすると、 $2 \times 640 \times 18$ Nビットのメモリ容量となる。

【0101】図6にデータ信号組替え供給回路8の基本的な回路構成の一例を示す。

【0102】このデータ信号組替え供給回路8は、カウンタ61、62、63、デコーダ64、加算器65、66、マルチプレクサ67、68、71、メモリ69、70及びDF、F等を備えている。ここでは、タイミング制御回路4からのタイミング信号SPG、CLGがカウンタ61に入力されると共にタイミング信号DCLKがカウンタ62に入力される。このカウンタ61により入力された水平同期信号がカウントされて1ブロックに1回のパルスが発生する信号BLKが生成されると共に、DF、Fを介して1ブロック毎に論理が反転する信号ODD-BLが生成される。そして、これらの信号を基にして、各々1ブロック分の容量を持つメモリ69、70が書き込み用又は読み出し用として制御される。

【0103】書き込み用メモリでは、順次走査アドレスを生成する加算器65からのアドレス情報に従って、時系列で送られてくるデータ信号がDATAinが順次メモリに蓄えられる。一方、読み出し用メモリでは、飛び越し走査アドレスを生成する加算器66からのアドレス情報に従って、一旦蓄積されたデータ信号がマルチプレクサ71を介して読み出されてデータ信号DATAoutが信号線駆動回路2に送られる。

【0104】ここで、デコーダ64はカウンタ63からのアドレス情報を飛び越し走査のためのアドレスに変換するためのものであり、例えばROM(Read Only Memory)を用いたテーブル変換を行うことにより容易に実現することができる。

【0105】尚、データ信号組み替え回路8の構成は図6に示したものに限定されず、例えば奇数ラインと偶数ラインとに各々ファーストイン・ファーストアウト(FIFO)メモリを割り当ててデータ信号を蓄積する方法等、その他にも様々な実現方法が考えられる。

【0106】さらに、ここまでは機能的な面からタイミング制御回路4、走査順制御回路7及びデータ信号組み替え回路8について説明を行ってきたが、LSI化に当たってはこの中のいずれか2つ又は全部を1チップ化しても全く差し支えない。

【0107】次に、本実施形態の液晶表示装置の走査方法とその反転駆動方式について説明する。

【0108】図7及び図8はブロックサイズが各々4本及び6本の場合における走査線の走査順と液晶パネル上の各画素の極性を示す図である。尚、この図7及び図8では説明を簡単にするために、 8×12 画素で構成されたモノクロ表示のマトリクス型液晶パネルの例について示している。

【0109】この図7及び図8において、1走査線上の画素の極性は全て同じであり、交互に配置された第1グループ走査線群aに属する走査線と第2グループ走査線群bに属する走査線とは極性が逆である。よって、従来のゲートライン反転駆動方式と同様の極性パターンが得られ、従来のゲート反転駆動方式と同様に、チラツキが目立たない表示を実現することができる。

【0110】図9は、図7に対応する走査線駆動回路出力SL1～SL8と反転駆動出力信号POLのタイミング、及び対向電極電位V-OPSTを示す図である。この図9において、ブロック内では交互に第1グループ走査線群と第2グループ走査線群とが配置されて1本おきの飛び越し走査が行われ、ブロック間では順次走査が行われており、反転駆動周波数は従来のゲートライン反転駆動方式の場合の半分になっている。尚、ここでは対向電極電位V-OPSTは一定である。図7、図8及び図9から分かるように、反転駆動周波数はブロックサイズ4本の場合には従来のゲートライン反転駆動方式の場合の $1/2$ となり、ブロックサイズ6本の場合には従来のゲートライン反転駆動方式の場合の $1/3$ となる。

【0111】一般に、本発明の液晶表示装置においては、ブロックサイズN本の場合、反転駆動周波数が従来の液晶表示装置の $2/N$ となる(Nが偶数の場合)。一方、反転駆動に伴う消費電力は反転駆動周波数に比例するので、本実施形態の液晶表示装置によれば反転駆動に伴う消費電力を従来の液晶表示装置の $2/N$ に減らすことができる。

【0112】ここで、従来提案されているような全画面の飛び越し走査を行う液晶表示装置では、 $1/2$ フレーム期間にわたって前後のフレームが重なって表示されることになり、動画表示において甚だしい画質劣化を起こすことになる。これに対して、本実施形態の液晶表示装置においては、飛び越し走査を行う領域がブロック内に限定されるため、前後のフレームが重なって表示される領域が1ブロックに限定され、動画表示時に大きな画質劣化を生じることはない。

【0113】但し、本実施形態の液晶表示装置において、ブロックサイズを大きくした場合には動画表示時の画質劣化が目立つようになるので、例えば静止画を多用する用途ではブロックサイズを大きく設定し、動画品質を優先する用途ではブロックサイズを小さく設定する等、使用目的に応じて最適なブロックサイズを選択する

のが好ましい。

【0114】さらに、フレーム反転駆動方式や全画面の飛び越し走査を行う従来の液晶表示装置では、液晶パネルの広い領域を同一極性で駆動するため、画素TFIのリーク等の影響により垂直方向の輝度傾斜の問題が生じることがある。これに対して、本発明の液晶表示装置においては、1ブロック毎に両極性の駆動が行われるため、このような垂直方向の輝度傾斜の問題を防ぐことができる。

【0115】このように、本実施形態の液晶表示装置によれば、チラツキ無しでかつ垂直方向の輝度傾斜や動画表示時の妨害の無い高画質表示を行うと共に、従来のゲートライン反転駆動方式に比べて大幅な低消費電力化を実現することができる。

【0116】(実施形態2)本実施形態2における基本的な回路構成は上記実施形態1と同様であるが、実施形態1では対向電極をDC駆動するのに対して、実施形態2では対向電極駆動回路を形成して対向電極をAC駆動する場合について説明する。

【0117】本実施形態2で使用される対向電極駆動回路としては、従来の液晶表示装置と同様のものを用いることができるが、ブロック境界での表示の不連続を避けるために時定数の小さいものを用いるのが好ましい。

【0118】この対向電極駆動回路を用いて、信号線の反転駆動のタイミングに同期して対向電極をAC駆動することにより、AC電圧の振幅分だけ信号線駆動回路の出力電圧範囲を狭めることができる。

【0119】図10は、実施形態1で説明した図7に対応する走査線駆動回路出力SL1～SL8と反転駆動出力信号POLのタイミング、及び対向電極電位V-OPSTを示す図である。この図10において、ブロック内では1本おきに飛び越し走査が行われ、ブロック間では順次走査が行われており、反転駆動周波数は実施形態1と同様に従来のゲートライン反転駆動方式の場合の半分になっている。液晶層に印加される実効電圧は実施形態1と同様であり、実施形態1と同様にチラツキが目立たない表示を実現することができる。

【0120】さらに、この実施形態2の場合には、対向電極をAC駆動することにより、AC電圧の振幅分だけ信号線駆動回路の出力電圧範囲を狭めても、液晶層に印加される実効電圧を同等に保つことができるので、低耐圧のドライバLSIを用いて信号線駆動回路の低コスト化を図ることができる。

【0121】また、実施形態1と同様に、ブロックサイズがN本であれば反転駆動周波数を $2/N$ に低減することができ、さらに、対向電極の駆動周波数についても従来のゲートライン反転駆動を行う液晶表示装置に比べて $2/N$ に低減することができるので、大幅な低消費電力化を実現することができる。

【0122】(実施形態3)本実施形態3における基本

的な回路構成は上記実施形態1と同様であるが、実施形態1では液晶パネル上の各画素の極性パターンがゲートライン反転駆動方式と同様であるのに対して、実施形態3では液晶パネル上の各画素の極性パターンがドット反転駆動方式と同様である場合について説明する。

【0123】本実施形態3では、同一走査線上において隣接する画素が逆極性となるように駆動されるので、信号線駆動回路としてドット反転駆動方式用のドライバLSIを使用する。例えば、シャープ株式会社製のLH168BF等を使用することができる。

【0124】図11及び図12はブロックサイズが各々4本及び6本の場合における走査線の走査順と液晶パネル上の各画素の極性を示す図である。尚、この図11及び図12では説明を簡単にするために、 8×12 画素で構成されたモノクロ表示のマトリクス型液晶パネルの例について示している。

【0125】この図11及び図12において、隣接する信号線に与えられるデータ信号の極性は逆であり、かつ、交互に配置された第1グループ走査線群aに属する走査線と第2グループ走査線群bに属する走査線とは極性が逆である。よって、従来のドット反転駆動方式と同様の極性パターンが得られ、従来のドット反転駆動方式と同様に、チラツキの目立たない表示を実現することができる。

【0126】さらに、ブロック内では交互に第1グループ走査線群aと第2グループ走査線群bとが配置されて1本おきの飛び越し走査が行われ、ブロック間では順次走査が行われており、反転駆動周波数はブロックサイズ4本の場合には従来のドット反転駆動方式の場合の $1/2$ となり、ブロックサイズ6本の場合には従来のドット反転駆動方式の場合の $1/3$ となる。

【0127】本実施形態の液晶表示装置は、隣接する画素が逆極性で駆動されるため、原理的にクロストークの少ない駆動が可能であり、特に、15型以上の大型高精細パネルの駆動に適している。

【0128】さらに、本実施形態の液晶表示装置においては、ブロックサイズN本の場合、反転駆動周波数が従来の液晶表示装置の $2/N$ となる(Nが偶数の場合)。一方、反転駆動に伴う消費電力は反転駆動周波数に比例するので、本実施形態の液晶表示装置によれば従来のドット反転駆動方式の液晶表示装置に比べて低消費電力化が可能となる。

【0129】このように、本実施形態の液晶表示装置によれば、チラツキの目立たない高画質表示を行うと共に、従来のドット反転駆動方式に比べて大幅な低消費電力化を実現することができる。

【0130】(実施形態4)図13は本実施形態のマトリクス型液晶表示装置の構成を示す概略図である。

【0131】この液晶表示装置は、上記実施形態1〜3と同様にブロック内飛び越し走査及びブロック間順次走

査による反転駆動が行われるものである。

【0132】本実施形態4において、図1に示した実施形態1の液晶表示装置との大きな相違点は、フレームメモリ135とこれを制御するためのグラフィックコントローラ(GDC)134、さらに、マイクロプロセッサ(MPU)136及びメモリ137、138がマトリクス型液晶表示装置に一体化して組み込まれていることである。

【0133】ここで、メモリ137はROM(Read Only Memory)、メモリ138はRAM(Random Access Memory)であり、マイクロプロセッサ136及びメモリ137、138は同一チップに集積化されていてもよい。

【0134】図13の液晶表示装置においては、図1の液晶表示装置において必要であったデータ信号組替え供給回路8を、フレームメモリ135及びGDC134で兼用させることができる。例えば、フレームメモリ135からの表示用データ(ここでは18ビット)を読み出す順番が、液晶パネル1の走査順に対応するように、GDC134を動作させるためのプログラム修正を行うことができる。このGDCを動作させるためのプログラムは、通常、ROMであるメモリ137に入っている。

【0135】ノートブック型パーソナルコンピュータや携帯情報端末等の用途に使用される液晶表示装置においては、フレームメモリとGDCとが既に組み込まれているため、本実施形態の液晶表示装置の回路構成を容易かつ安価に実現することができる。

【0136】尚、GDC134が上述するような機能を有していない場合には、新たに機能追加を行うことができる。この場合、GDCはアドレス生成機能を本来的に内蔵しているので、例えば図6に示したような論理回路の一部を付加することにより容易に所望の機能を得ることができる。

【0137】本実施形態の液晶表示装置においても、上記実施形態1〜3と同様に、チラツキの目立たない高画質表示と低消費電力駆動を両立することができる。

【0138】(実施形態5)本実施形態5における基本的な回路構成は上記実施形態1や実施形態4と同様であるが、実施形態5ではブロックサイズNの値を固定せずに可変とした場合について説明する。

【0139】このようにブロックサイズNの値を可変とするためには、例えば、図13の走査順制御回路7及びGDC134において、1ブロック当たりの走査線数を決定するための内部カウンタとして、カウンタ数を任意に設定できるプログラマブルカウンタを用いる。このプログラマブルカウンタは、例えば、標準TTLのSN74163のような回路を適用すれば簡単に実現することができる。

【0140】図14は、本実施形態における走査順制御回路7の構成を一部抜粋した図である。

【0141】ここでは、走査順制御回路7の内部に設け

られたプログラブルカウンタ143のカウンタ数入力端子にMPU136の出力ポート142が接続され、コンピュータバスを介して走査順制御回路7内部のカウンタ数の設定が行われる。尚、この例では、出力ポート142にブロックサイズNの半分の値 $N/2$ が設定されるような回路構成となっている。

【0142】このような回路構成とMPU136に簡単なプログラムを追加することにより、垂直帰線期間中にMPU136によって出力ポート142にブロックサイズが設定される。これにより、ブロックサイズNの値をフレーム単位で切り替えることができる。

【0143】尚、液晶層に対する直流成分の電圧印加を避けるためには、ブロックサイズの設定を偶数フレーム単位で切り替えるのが好ましい。

【0144】これにより、静止画表示においてはブロックサイズNの値を最大に設定して最大限の低消費電力化を計り、動画表示の場合にはブロックサイズNの値を最小に設定して画質の劣化を抑制することができる。さらに、動画表示を特別に重視する場合には、従来と同様の順次走査を行うこともできる。

【0145】以上説明したように、本実施形態の液晶表示装置によれば、フレーム単位でブロックサイズNの値を適宜切り替えることにより、ブロックサイズNの値が固定されている場合に比べてより一層の低消費電力化と高画質表示を実現することができる。

【0146】(実施形態6) 本実施形態6における基本的な回路構成は上記実施形態1や実施形態4と同様であるが、実施形態6ではブロックサイズNの値を1フレーム内で2種類に設定可能とした場合について説明する。

【0147】このようにブロックサイズNの値を1フレーム内で2種類に設定可能とするためには、例えば、図13の走査順制御回路7及びGDC134において、1ブロック当たりの走査線数を決定するための内部カウンタとして、2種類のカウンタ数を設定できるプログラブルカウンタを用いる。このプログラブルカウンタとしては、例えば、実施形態5に示したようなプログラブルカウンタを用いて1フレーム内で2種類のカウンタ数を切り替えて設定できるようにすることもでき、又は異なる固定カウンタ数を有する2つのカウンタを切り替えて使用してもよい。

【0148】図15は、前者の方法を用いた場合について、本実施形態における走査順制御回路7の構成を一部抜粋した図である。

【0149】ここでは、2種類のブロックサイズN1、N2のどちらを選択するかを制御するシーケンス制御回路は、カウンタ155及びレジスタ156によって構成されている。また、このためのシーケンスデータを蓄えているレジスタ156にMPU136の出力ポート152が接続され、コンピュータバスを介して必要なシーケンスデータが設定される。尚、この例では、マルチプレ

クサ157に接続された一方の出力ポート153にブロックサイズN1の半分の値 $N1/2$ が設定され、他方の出力ポート154にブロックサイズN2の半分の値 $N2/2$ が設定された回路構成となっている。

【0150】このような回路構成とMPU136に簡単なプログラムを追加することにより、垂直帰線期間中にMPU136によって出力ポート152にブロックサイズのシーケンスデータが設定される。これにより、ブロックサイズNの値を1フレーム内で2種類与えることができる。

【0151】これにより、ある1画面の中で、静止画表示の箇所においてはブロックサイズNの値を最大に設定して最大限の低消費電力化を計り、動画表示が行われる箇所においてはブロックサイズNの値を最小に設定して画質の劣化を抑制することができる。

【0152】以上説明したように、本実施形態の液晶表示装置によれば、1フレーム内でブロックサイズNの値を最適化することにより、ブロックサイズNの値が固定されている場合に比べてより一層の低消費電力化と高画質表示を実現することができる。

【0153】尚、この実施形態では1フレーム内で設定可能なブロックサイズを2種類として説明したが、必ずしも2種類に限定されるものではなく、3種類以上であってもよい。

【0154】(実施形態7) 上記実施形態1～6では交互に配置された第1グループ走査線群及び第2グループ走査線群に対して各グループ内では順次走査を行うことによりブロック内で1本おきの飛び越し走査を行う場合について説明したが、本実施形態7では各グループ内で1本おきの飛び越し走査を行うことによりブロック内で3本おきの飛び越し走査を行う場合について説明する。

【0155】図16は、ブロック内で3本おきの飛び越し走査を行う場合について、走査線の走査順と液晶パネル上の各画素の極性を示す図である。ここでは、1ブロック当たりの走査線数が8本で、液晶パネル上の各画素の極性がゲートライン反転駆動方式と同様の極性パターンになる場合を示している。

【0156】この図16において、1走査線上の画素の極性は全て同じであり、交互に配置された第1グループ走査線群aに属する走査線と第2グループ走査線群bに属する走査線とは極性が逆である。そして、ブロック内では交互に第1グループ走査線群aと第2グループ走査線群bとが配置されて各グループ内で1本おきの飛び越し走査が行われ、ブロック間では順次走査が行われている。この場合でも、反転駆動周波数はブロックサイズNの場合には従来のゲートライン反転駆動方式の場合の $2/N$ となる。

【0157】このような走査を行う場合、走査線駆動回路としては4系列のシフトレジスタを有するものを用いる。そして、第1グループ走査線群aを1本おきに2系

列のシフトレジスタの一方ずつに対応させて交互に配置し、第2グループ走査線群bも1本おきに他の2系列のシフトレジスタの一方ずつに対応させて交互に配置する。これにより第1グループ走査線群aを1本おきに飛び越し走査すると共に、第2グループ走査線群bを1本おきに飛び越し走査することができる。

【0158】本実施形態の液晶表示装置においても、上記実施形態1～6と同様に、チラツキの目立たない高画質表示と低消費電力駆動を両立することができる。

【0159】尚、本実施形態において、ブロック内での飛び越し走査は、奇数本おきであれば5本以上の飛び越し走査であってもゲートライン反転駆動方式やドット反転駆動方式と同様の極性パターンを得ることができ、第1グループ走査線群と第2グループ走査線群とが交互に配置されていれば、各グループ内で順次走査を行っても飛び越し走査を行っても良い。

【0160】(実施形態8)上記実施形態1～7では1ブロック当たりの走査線数Nが偶数である場合について説明したが、本実施形態8では1ブロック当たりの走査線数Nが奇数である場合について説明する。

【0161】1ブロック当たりの走査線数Nが奇数の場合にゲートライン反転駆動やドット反転駆動と同様の駆動を行うためには、各ブロックの奇数本目の走査線上の画素の極性と偶数本目の走査線上の画素の極性が、隣接するブロックで交互に入れ替わるように駆動する必要がある。このためには、隣接するブロックで第1グループ走査線群と第2グループ走査線群との選択順序が入れ替わるように駆動すればよい。

【0162】従って、1ブロック当たりの走査線数Nが奇数の場合には、走査順制御回路やデータ信号組み替え供給回路がやや複雑になるものの、基本的な回路構成は1ブロック当たりの走査線数Nが偶数の場合と同様である。

【0163】図17は、1ブロック当たりの走査線数Nが3本の場合について、走査線の走査順と液晶パネル上の各画素の極性を示す図である。ここでは、液晶パネル上の各画素の極性がゲートライン反転駆動方式と同様の極性パターンになる場合を示している。

【0164】この図17において、1走査線上の画素の極性は全て同じであり、交互に配置された第1グループ走査線群aに属する走査線と第2グループ走査線群bに属する走査線とは極性が逆である。そして、ブロックA内では第1グループ走査線群aが先に選択されて1本おきの飛び越し走査が行われ、ブロックBでも第1グループ走査線群aが先に選択されて1本おきの飛び越し走査が行われ、ブロック間では順次走査が行われている。

【0165】図17から分かるように、反転駆動周波数は従来のゲートライン反転駆動方式の場合の $1/3$ となり、反転駆動に伴う消費電力も従来の $1/3$ に低減できる。

【0166】一般に、1ブロック当たりの走査線数Nが奇数の場合、反転駆動周波数が従来の液晶表示装置の $1/N$ となり、反転駆動に伴う消費電力も従来の液晶表示装置の $1/N$ に低減される。

【0167】本実施形態の液晶表示装置においても、上記実施形態1～7と同様に、チラツキの目立たない高画質表示と低消費電力駆動を両立することができる。

【0168】(実施形態9)本実施形態9では、隣接するブロックにおいて、ブロック内で第1グループ走査線群a及び第2グループ走査線群bが選択される順序を逆にする場合について説明する。

【0169】図18は、本実施形態における走査線の走査順と液晶パネル上の各画素の極性を示す図である。ここでは、液晶パネル上の各画素の極性がゲートライン反転駆動方式と同様の極性パターンになる場合を示している。

【0170】この図18において、1走査線上の画素の極性は全て同じであり、交互に配置された第1グループ走査線群aに属する走査線と第2グループ走査線群bに属する走査線とは極性が逆である。そして、第1ブロック及び第3ブロック内では第1グループ走査線群aに属する走査線G1、G3が先に選択されて1本おきの飛び越し走査が行われ、第2ブロック及び第4ブロックでは第2グループ走査線群bに属する走査線G2、G4が先に選択されて1本おきの飛び越し走査が行われ、ブロック間では順次走査が行われている。

【0171】図19は、本実施形態における走査線駆動回路からの出力G1～G16と信号線駆動回路からの出力のタイミングを示す図である。尚、この図において、G(i)は走査線駆動回路からのi番目の出力、即ち、i番目の走査線上のTFTがオン状態となるタイミングを示している。

【0172】この図19に示すように、第1、第3ブロックでは第1グループ走査線群aを先に選択し、それと隣接する第2、第4ブロックでは第2グループ走査線群bを先に選択する。前の第1ブロックにおいて最後に選択される走査線と次のブロックにおいて最初に選択される走査線(例えばG4とG6、G7とG9、G12とG14)とでデータ信号が同じ極性になるので、反転駆動周波数をさらに低減することができる。

【0173】比較のために、図7に示した隣接するブロック内で第1グループ走査線群aと第2グループ走査線群bとの選択順を同じにした液晶表示装置について、図20に走査線駆動回路からの出力G1～G16と信号線駆動回路からの出力のタイミングを示す。

【0174】上記図19及び図20の比較から、図19の場合には信号線駆動回路からの出力が各ブロック間で反転しておらず、信号線駆動回路の極性反転の周波数が図20の場合に比べて $1/2$ となることがわかる。

【0175】尚、本実施形態9においては各ブロックを

4本ずつの走査線から構成したが、それ以外の本数でも同様の効果が得られる。

【0176】さらに、本発明の特徴は、走査線を各ブロック内で、共通電極に対して信号線駆動回路からの出力が互いに逆極性となる第1グループ走査線群と第2グループ走査線群とに分割し、一方のグループを全て走査した後で他方のグループを走査することにあるので、各グループ内での走査順は特に限定されない。例えば、上記実施形態のように順次走査を行ってもよく、G3、G1、G4、G2やG1、G3、G4、G2のように飛び越し走査やランダム走査を行ってもよい。

【0177】さらに、各ブロック間の走査順についても特に限定されず、順次走査を行ってもよく、飛び越し走査やランダム走査を行ってもよい。

【0178】上記実施形態1、3～9では液晶パネル上の各画素の極性がゲートライン反転駆動方式と同様の極性パターンになる場合について説明したが、隣接する信号線で逆極性となるようにしてもよい。この場合でも、各信号線毎に見れば同一極性を有する一方のグループの出力が先に出力されることになるのでからである。これにより、ドット反転駆動方式と同様の極性パターンを得ることができる。

【0179】本発明において、各ブロックを構成する走査線の本数は偶数であるか奇数であるかに関わらず、さらに、あるブロックの走査線数が他のブロックの走査線数と異なっても良い。例えば、液晶表示装置の走査線数がブロックを構成する走査線数で割り切れない場合には、必然的に1つのブロックの走査線数が異なることになる。或いは、各ブロックの走査線数を敢えて異ならせてもよく、このような場合でも本発明の本質から外れることはない。

【0180】さらに、以上の実施形態では、10、4型VGA仕様の液晶表示装置を例にとって説明してきたが、本発明は上記実施形態に限定されるものではなく、反転駆動を必要とするマトリクス型液晶表示装置全般に幅広く適用することができる。即ち、反転駆動を必要とするマトリクス型の液晶表示装置であれば液晶パネルの画面寸法や画素数、液晶表示モード、モノクロ／カラー表示、透過型／反射型、直視型／投影型を問わずに幅広く本発明を適用可能である。

【0181】スイッチング素子としてはアモルファスシリコンTFTや多結晶シリコンTFT等の他、単結晶シリコントランジスタを用いることができる。特に、多結晶シリコンTFTや単結晶シリコントランジスタを用いたアクティブマトリクス型液晶表示装置の場合には、走査線駆動回路や信号線駆動回路と画素トランジスタとを同一基板上に一体的に形成することができるという利点がある。

【0182】さらに、本発明の基本的な構成要素である走査順制御回路やデータ信号組替え供給回路等の具体

的な回路構成についても、上記実施形態に限定されるものではなく、様々なヴァリエーションが可能である。

【0183】

【発明の効果】以上詳述したように、本発明による場合には、チラツキが目立たず、垂直方向の輝度傾斜や動画表示時における表示妨害の無い高画質の表示を維持すると共に、反転駆動に伴う消費電力を抑制して大幅な低消費電力駆動を実現することができる。特に、ノートブック型パーソナルコンピュータや携帯情報端末等の用途においては、機器内にフレームメモリを備えているため、データ信号組替え供給回路を極めて安価に実現することができる。特に、請求項7に記載の本発明による場合には、従来のゲートライン反転駆動方式の場合と同様に、チラツキがより目立たない高画質の表示が得られる。一方、請求項8に記載の本発明による場合には、従来のドット反転駆動方式の場合と同様に、チラツキがより目立たない高画質の表示が得られ、さらに、クロストークを低減することができる。さらに、請求項4に記載の本発明による場合には、隣接するブロック間で隣接する走査線同士の影響を防ぐことができるので、より一層高画質の表示を得ることができる。

【0184】請求項11に記載の本発明による場合には、走査順制御回路とデータ信号組替え供給回路とを備えているので、ブロック内での飛び越し走査及びブロック間の走査を容易に実現することができる。

【0185】請求項12に記載の本発明による場合には、対向電極の電位をデータ信号の反転に同期してシフトさせることができるので、耐圧の低い信号線駆動回路を用いて液晶表示装置の低コスト化を図ることができる。

【0186】請求項13に記載の本発明による場合には、1ブロック当たりの走査線の本数を1フレーム毎に切り替え可能であるので、静止画表示において反転駆動に伴う消費電力を大幅に削減すると共に、動画表示において動画表示品質を確保することができる。従って、画像表示内容に応じて消費電力の低減と高画質の維持とをバランス良く制御することができる。

【0187】或いは、1ブロック当たりの走査線の本数を1フレーム内で切り替え可能であるので、動画がウィンドウ表示されているような場合、静止画表示の部分では反転駆動に伴う消費電力を大幅に削減すると共に、動画表示の部分では動画表示品質を確保することができる。従って、画面内の表示内容に応じて消費電力の低減と高画質の維持とをより本目細かく制御することができる。

【0188】請求項14に記載の本発明による場合には、データ信号組替え供給回路が略2ブロック分のデータ信号を蓄積するメモリを備えているので、フレームメモリやグラフィックメモリを備えていないシステムにおいても、ブロック内での飛び越し走査を行うことができ

る。

【0189】本発明の走査線駆動回路にあっては、複数系列のシフトレジスタをブロック内で逐次動作させ、これを各ブロックで繰り返すことにより、ブロック内での飛び越し走査及びブロック間での走査を実現することができる。さらに、この走査線駆動回路は、従来の走査線駆動回路とはほぼ同等の回路規模で実現可能であり、装置が複雑になることはない。

【図面の簡単な説明】

【図1】実施形態1の液晶表示装置の概略構成を示す図である。

【図2】実施形態1の液晶表示装置における走査線駆動回路の構成を示す図である。

【図3】図2の走査線駆動回路の動作のタイミングを示す図である。

【図4】実施形態1の液晶表示装置における走査順制御回路の構成を示す図である。

【図5】図2の走査順制御回路の動作のタイミングを示す図である。

【図6】実施形態1の液晶表示装置におけるデータ信号組み替え供給回路の構成を示す図である。

【図7】実施形態1の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図8】実施形態1の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図9】図7に対応する走査線の走査タイミングを示す図である。

【図10】実施形態2の液晶表示装置における走査線の走査タイミングを示す図である。

【図11】実施形態3の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図12】実施形態3の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図13】実施形態4の液晶表示装置の概略構成を示す図である。

【図14】実施形態5の液晶表示装置における走査順制御回路の一部の構成を抜粋した図である。

【図15】実施形態6の液晶表示装置における走査順制御回路の一部の構成を抜粋した図である。

【図16】実施形態7の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図17】実施形態8の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図18】実施形態9の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図19】実施形態9の液晶表示装置における走査線駆動回路の出力と信号線駆動回路の出力のタイミングを示す図である。

【図20】図7の液晶表示装置における走査線駆動回路の出力と信号線駆動回路の出力のタイミングを示す図で

ある。

【図21】従来の液晶表示装置の概略構成を示す図である。

【図22】液晶表示装置の画素アレイ部と駆動回路の構成を示す図である。

【図23】液晶パネルの画素の構成を示す図である。

【図24】従来の液晶表示装置における走査線駆動回路の構成を示す図である。

【図25】従来の液晶表示装置における走査線の走査タイミングを示す図である。

【図26】デジタル方式の信号線駆動回路の構成を示す図である。

【図27】フレーム反転駆動方式の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図28】ゲートライン反転駆動方式の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図29】ドット反転駆動方式の液晶表示装置における走査線の走査順と液晶パネル上の画素極性を示す図である。

【図30】全画面を飛び越し走査する従来の駆動方法における問題点を説明するための図である。

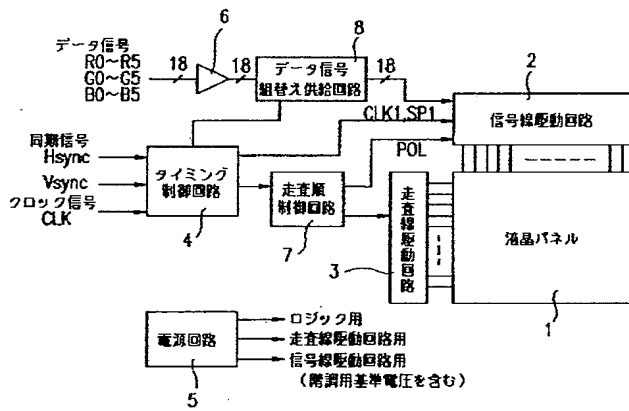
【符号の説明】

- 1 液晶パネル
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 タイミング制御回路
- 5 電源回路
- 6 データ信号用バッファ
- 7 走査順制御回路
- 8 データ信号組み替え供給回路
- 21、22 シフトレジスタ
- 23 出力選択用論理回路
- 24 レベルシフタ
- 25 出力バッファ
- 41 シフトレジスタ
- 42、61、62、63 カウンタ
- 43 ディレイ回路
- 64 デコーダ
- 65、66 加算器
- 67、68、71、157 マルチプレクサ
- 69、70 メモリ
- 134 GDC
- 135 フレームメモリ
- 136 MPU
- 137 ROM
- 138 RAM
- 142、152、153、154 出力ポート
- 143 プログラマブルカウンタ

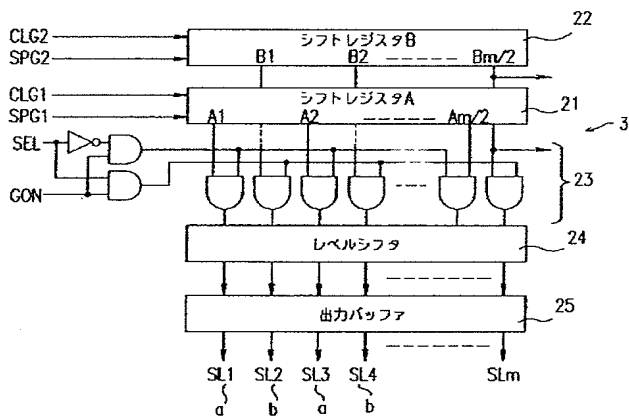
155 2進カウンタ

156 レジスタ

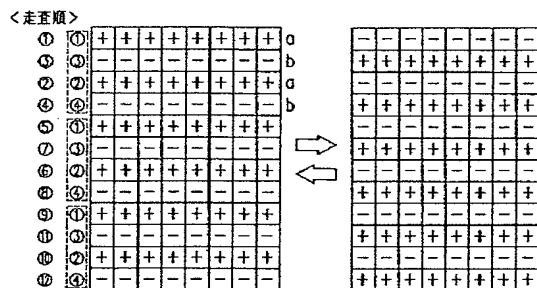
【図1】



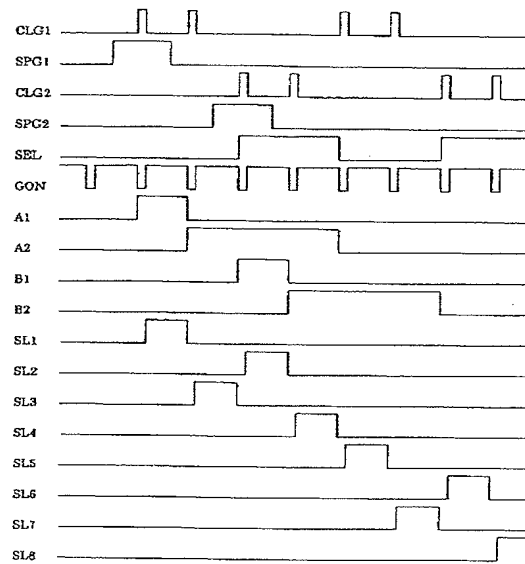
【図2】



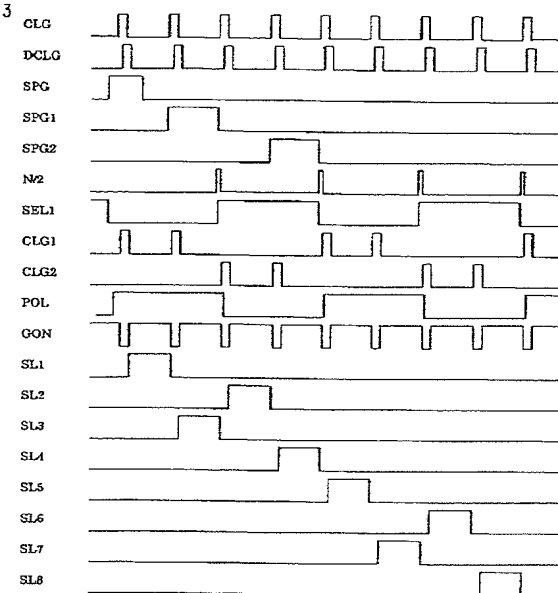
【図7】



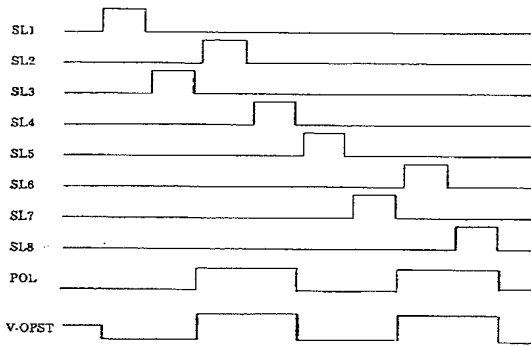
【図3】



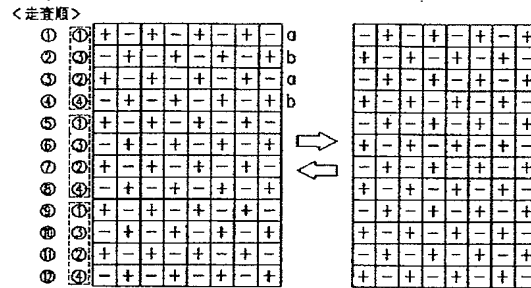
【図5】



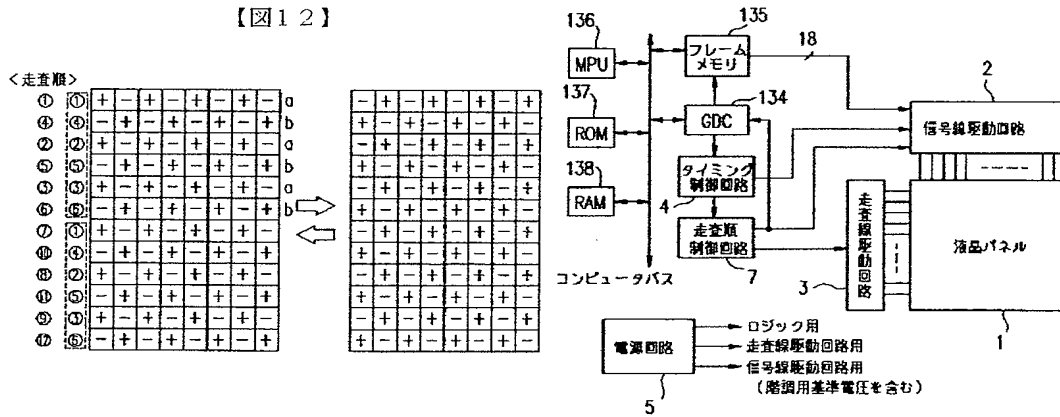
【図10】



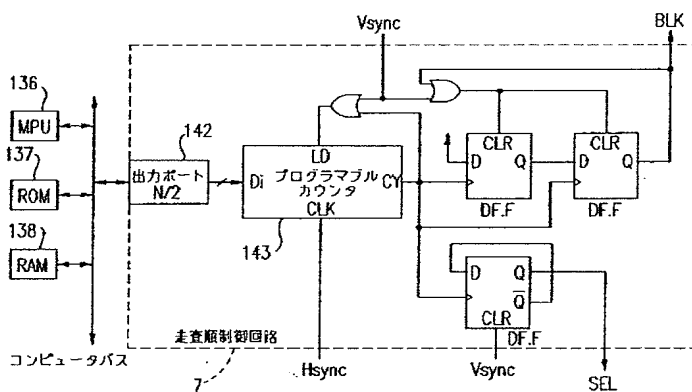
【図11】



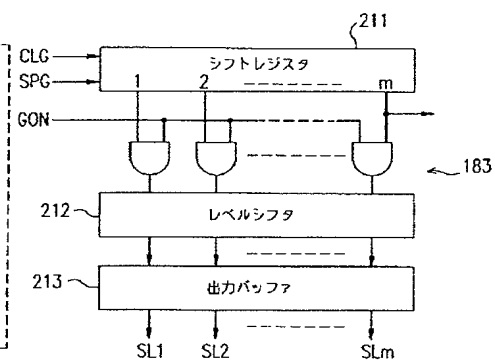
【図13】



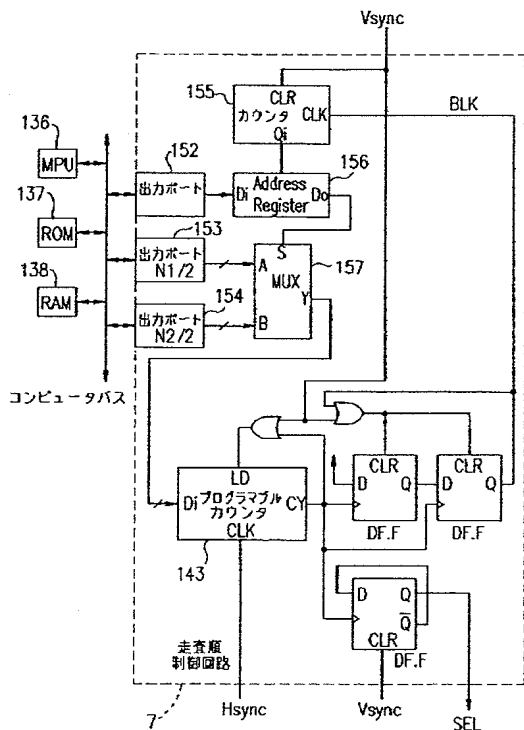
【図14】



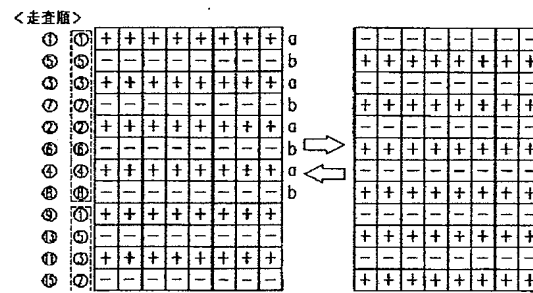
【図24】



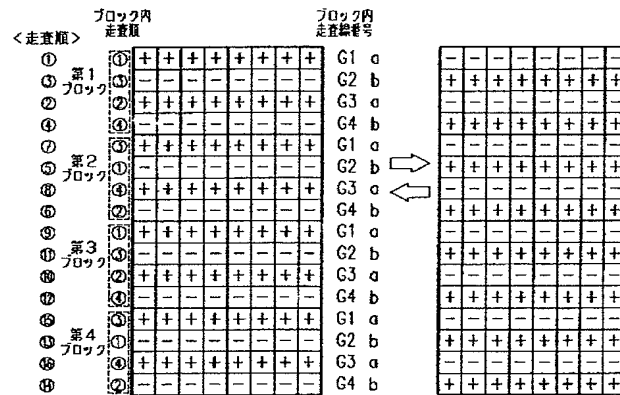
【图 15】



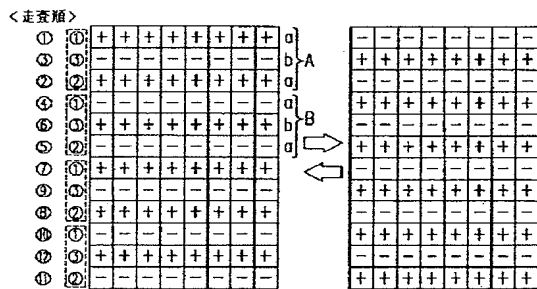
【図16】



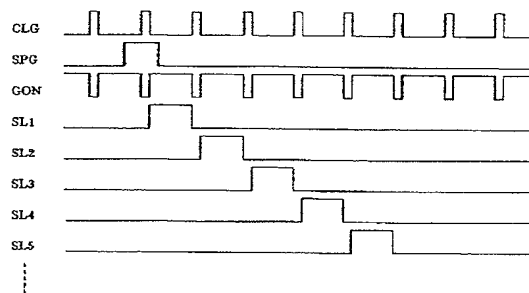
【図18】



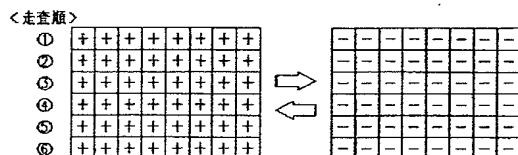
【图 17】



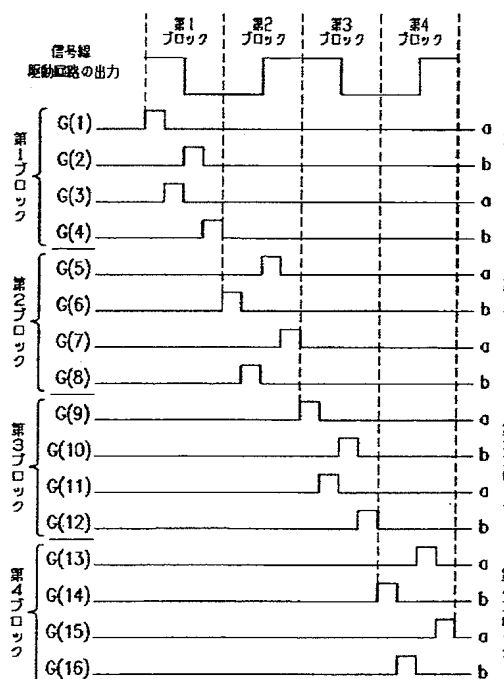
【图25】



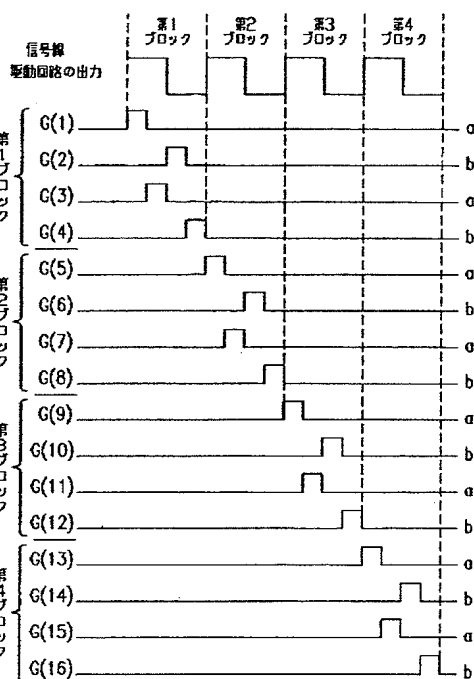
【図27】



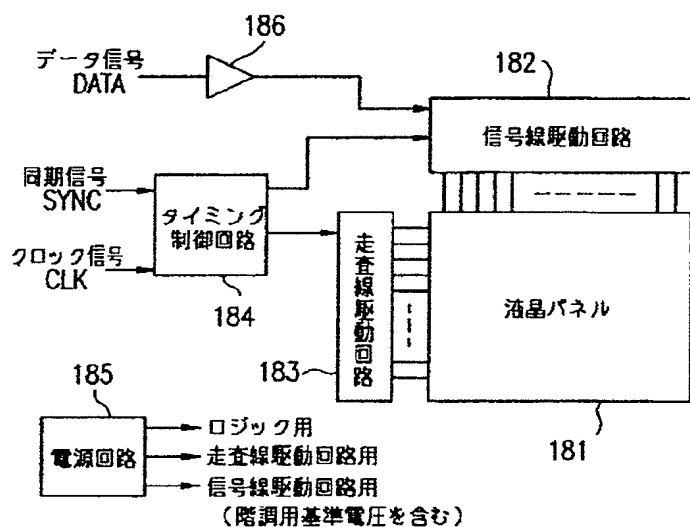
【図19】



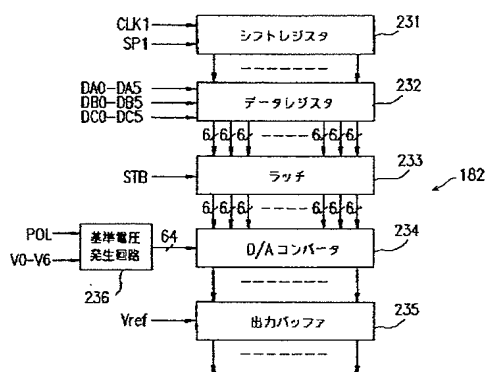
【図20】



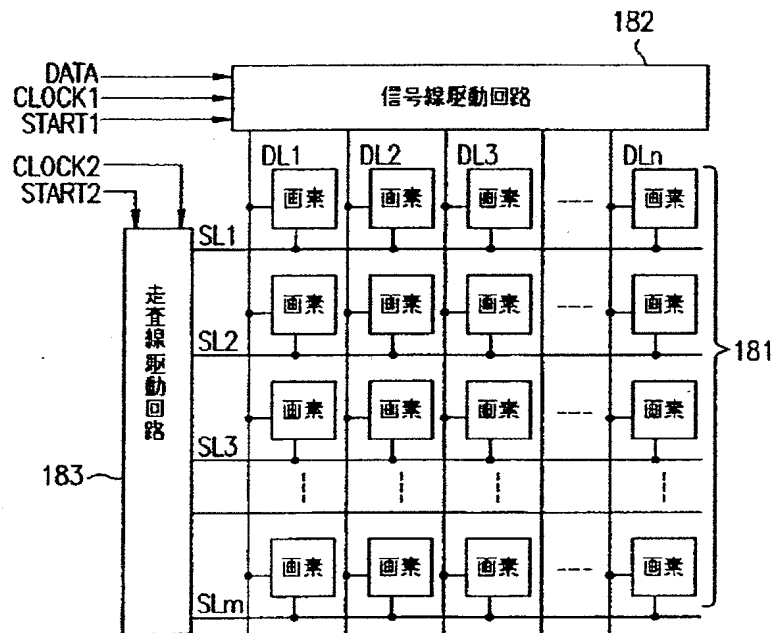
【図21】



【図26】

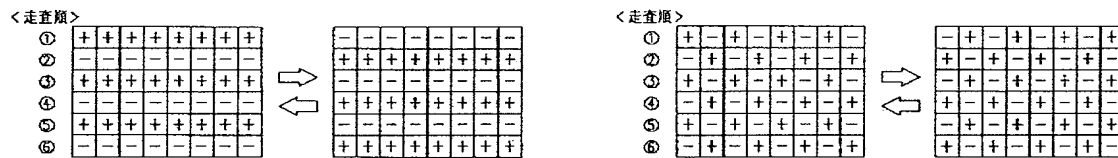


【図22】



【図28】

【図29】



【図30】

